

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-308856

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H02M 3/07
G11C 11/413
G11C 16/06
H01L 27/04
H01L 21/822
H01L 27/115
H01L 27/10

(21)Application number : 10-111619

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 22.04.1998

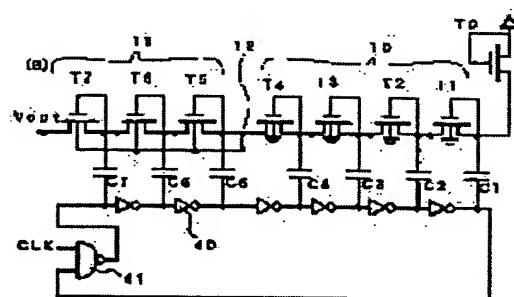
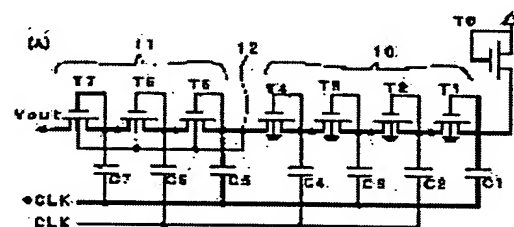
(72)Inventor : NANO TAKAO

(54) CHARGE PUMP CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a charge pump circuit large in doubling rate by separating a boosting transistor into plural groups, and gradually raising the back gate potential.

SOLUTION: A unit boosting circuit is composed of an N-type MOS transistors T1-T7 having short-circuited a gate and a drain, and a capacitors C1-C7 connected to the short circuit point, and these unit boosting circuits are connected in large numbers in a column to constitute a charge pump, and also plural unit boosting circuits are separated into plural groups, and each group is given different back gate biases. The voltage boosted in the preceding group is applied as a back gate bias at least to the group including an output stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Off

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-308856

(43)公開日 平成11年(1999)11月5日

(51)Int.Cl. ⁴	識別記号	F I	
H 0 2 M 3/07		H 0 2 M 3/07	
G 1 1 C 11/413		H 0 1 L 27/10	4 8 1
16/06		G 1 1 C 11/34	3 3 5 C
H 0 1 L 27/04		17/00	6 3 2 A
21/822		H 0 1 L 27/04	G
審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く			

(21)出願番号 特願平10-111619
(22)出願日 平成10年(1998)4月22日

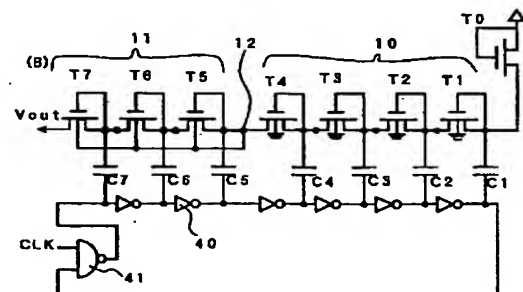
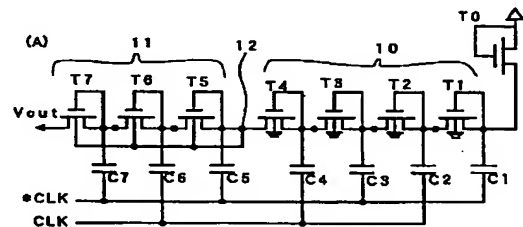
(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72)発明者 名野 隆夫
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 チャージポンプ回路装置

(57)【要約】

【課題】 昇圧トランジスタを複数のグループに分離してバックゲート電位を徐々に高くすることにより増倍率の大きなチャージポンプ回路を得る。

【解決手段】 ゲートとドレインとを短絡した1つのN型MOSトランジスタT1〜T7と、前記短絡点に接続した1つの容量C1〜C7を単位昇圧回路として構成し、該単位昇圧回路を多数縦列接続してチャージポンプ回路を構成すると共に、複数の単位昇圧回路を複数のグループに分離し、各グループに異なるバックゲートバイアスを与える。少なくとも出力段を含むグループには、その前段のグループで昇圧された電圧をバックゲートバイアスとして印加する。



【特許請求の範囲】

【請求項 1】 絶縁ゲート型トランジスタ素子と容量素子とを組み合わせる一つの単位昇圧回路とし、該単位昇圧回路を複数個縦列に接続すると共に、隣り合う単位昇圧回路に互いに逆相の同期信号を入力し、初段の単位昇圧回路の入力端に所定電位を入力し、最終段の単位昇圧回路の出力端から昇圧された出力電圧を出力するチャージポンプ回路装置において、

前記絶縁ゲート型トランジスタ素子群を少なくとも2つのグループに分割し、一つのグループにはバックゲートバイアスとして接地電位を印加し、他のグループには前記第1のグループによって昇圧された電位をバックゲートバイアスとして印加した事の特徴とするチャージポンプ回路装置。

【請求項 2】 絶縁ゲート型トランジスタ素子と容量素子とを組み合わせる一つの単位昇圧回路とし、該単位昇圧回路を複数個接続すると共に、隣り合う単位昇圧回路に互いに逆相の同期信号を入力し、初段の単位昇圧回路の入力端に所定電位を入力し、最終段の単位昇圧回路の出力端から昇圧された出力電圧を出力するチャージポンプ回路装置において、

前記絶縁ゲート型トランジスタ素子は、一導電型の第1の領域の表面に形成した第1のグループと、前記第1の領域とは電気的に分離された一導電型の第2の領域の表面に形成した第2のグループとの少なくとも2つのグループに分割され、

前記第1の領域に前記第1のグループのバックゲートバイアスとして接地電位を印加し、

前記第1のグループの最終昇圧電位を前記第2のグループの初段の絶縁ゲート型トランジスタに入力すると共に、前記第2の領域に前記第1のグループが昇圧した電位のうちのいずれかをバックゲートバイアスとして印加した事の特徴とするチャージポンプ回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、低い電源電圧から高い電圧を発生させるチャージポンプ回路に関し、低い電源電圧から相当に高い電位に昇圧し且つ昇圧した電位での駆動能力が高いチャージポンプ回路装置に関する。

【0002】

【従来の技術】 例えば、メモリスルが単一のトランジスタからなる電気的に消去可能なプログラマブルROM

$$V_{up} = VDD \cdot (C_{p1} / (C_{p1} + C_{node})) \dots \dots \dots (1)$$

このとき、ノードAの電位を V_a 、ノードCの電位を V_c として、 $(V_c - V_a > V_{th} + \Delta V_{th})$ が成立するのであれば、N型MOSトランジスタT1のソース・

$$V_a = V_c - V_{th} - \Delta V_{th} \dots \dots \dots (2)$$

このように、チャージポンプ回路の1段毎に(1)式に従った電位 V_{up} の分だけ上昇し、これが繰り返されて昇圧された出力電位 V_{out} を得るものである。

(EEPROM : Electrically Erasable Programmable ROM)

においては、情報を書き込み/消去する際に12~14V程度の高い電位を必要とする。通常の電子機器の電源電位は3V程度にまで低下してきており、前記高い電位を外部から供給する事は電子機器のコストアップにつながる。そこで、半導体チップ内部にチャージポンプ回路を内蔵し、電源電位 V_{cc} から必要な高い電位を発生させている(例えば、特開昭62-190746号)。加えて、近年のシステムLSIの構想では、同一チップ内に外部の負荷を駆動する高出力素子をも集積化し、この高出力素子専用の高電圧電源とするために、同一チップ内で電源電位より高い電位を発生させる様な要求も生まれてきている。

【0003】 図3(A)に従来のチャージポンプ回路の一例を示した。このチャージポンプ回路は、ゲートとドレインとを短絡したNチャンネル型MOSトランジスタM1~M7(個数は任意)を、ソースとドレインを接続して直列接続し、ソースとドレインとの接続点に容量C1~C7を接続したものである。各容量素子C1~C7の他端には、図3(B)に示すような、クロック信号CLK及びこれとは相補のクロック信号*CLKを印加し、N型MOSトランジスタM1のソースと容量C1との接続点にN型MOSトランジスタM0を介して電源電位VDDを印加して、最終段のN型MOSトランジスタM7のソースに出力電圧 V_{out} として電源電位VDDより昇圧された電位を得るものである。

【0004】 図3(C)はチャージポンプ回路の1段目の回路図(N型MOSトランジスタT1に相当する箇所)を示したものである。以下にチャージポンプ回路の回路動作を説明する。

【0005】 初期状態において、クロックCLKがLレベル(0V)であるとき、ノードCの電位は電流 i_1 によって上昇し、N型MOSトランジスタT0のしきい値 V_{th} を考慮して、 $(VDD - V_{th} - \Delta V_{th})$ までチャージされる。但し、 ΔV_{th} はN型MOSトランジスタT0のバックゲートバイアス効果によるしきい値の変動幅を表す。

【0006】 その後、クロック信号CLKがHレベル(3V)に変化すると、ノードCの電位は押し上げられて上昇する。このときの上昇する電位 V_{up} は、容量C1の容量値を C_{p1} 、ノードCでの寄生容量を C_{node} とした時に、(1)式で表すことができる。

ドレイン電流 i_2 によってノードAの電位 V_a は(2)式に従った電位にまでチャージされる。

【0007】

【発明が解決しようとする課題】 チャージポンプ回路の各段のN型MOSトランジスタT1~T7は、P型の半

導体領域の表面にN型のソース・ドレイン領域を形成し、1つのソース領域を隣のドレイン領域と共用するような形態で構成される。このとき、前記P型の半導体領域にN型MOSトランジスタT1～T7のバックゲートバイアスとして接地電位（GND）を印加することから、出力段に近くなるほどソース電位とバックゲート電位との電位差（ $-V_{bs}$ ）が開き、バックゲートバイアス効果によってしきい値の変動幅 ΔV_{th} が増大する。変動幅 ΔV_{th} が一定以上になると、式（2）に従う電流 i_2 が流れなくなり、昇圧電圧の限界となる。すなわち、ある段数以上はトランジスタの段数を増大しても昇圧する事ができない。

【0008】この様に、従来のチャージポンプ回路は昇圧電圧に限界があるという欠点があった。加えて、最終段のトランジスタでバックゲートバイアス効果の影響が最も大きくなるために、このトランジスタのソース・ドレイン電流も低下し、その駆動能力が低いという欠点があった。

【0009】

【課題を解決するための手段】本発明は上記の従来の課題に鑑み成されたもので、チャージポンプ回路を構成する複数のトランジスタを少なくとも2つのグループに分割し、出力段を含むグループのトランジスタには当該グループの初段に印加される、他のグループによって昇圧された電圧をバックゲートバイアスとして印加することにより、昇圧電圧の限界を解消できるチャージポンプ回路を提供するものである。

【0010】

【発明の実施の形態】以下に本発明の1実施の形態を、図1を参照しながら詳細に説明する。このチャージポンプ回路は、ゲートとソースとを短絡してダイオード接続したNチャンネル型MOSトランジスタM1～M7（個数は任意）と、該ゲートとドレインとの接続点に接続した容量C1～C7とを具備し、1つのN型MOSトランジスタT1～T7と1つの容量C1～C7とを単位昇圧回路として、1つのトランジスタのソースとその隣のトランジスタのドレインとを接続するように縦列接続している。容量C1～C7の他端には図3（B）に示すような、クロック信号CLK及びこれとは相補のクロック信号*CLKを印加し、N型MOSトランジスタM1のソースと容量C1との接続点にN型MOSトランジスタM0を介して電源電位VDDを印加して、最終段のN型MOSトランジスタM7のソースに出力電圧 V_{out} として電源電位VDDより昇圧された電位を出力するものである。

【0011】縦列接続された単位昇圧回路は、N型MOSトランジスタT1～T4（個数は任意）までの第1のグループ10と、N型MOSトランジスタT5～T7まで（個数は任意）の第2のグループ11とに分割される。分割された第1のグループ10のN型MOSトラン

ジスタT1～T4は、N型MOSトランジスタT4のソース（接続点12）に単位昇圧回路の段数に応じた昇圧電圧を出力し、分割された第2のグループ11のN型MOSトランジスタT5に伝達する。第2のグループ11は接続点12に伝達された電圧を更に昇圧して出力電圧 V_{out} を出力する。

【0012】そして、分割された第1のグループのN型MOSトランジスタT1～T4にはバックゲートバイアスとして接地電位（GND）を印加し、第2のグループ11には接続点12に出力される昇圧された電圧をバックゲートバイアスとして印加する。例えば、電源電位VDD（3V）を第1のグループ10で昇圧して接続点12に6Vの電位を出力し、第2のグループ11が更に昇圧して12Vの出力電圧 V_{out} を得る場合、第2のグループ11にはバックゲートバイアスとして6Vの電圧を印加することになる。

【0013】図2は、上記のチャージポンプ回路を具現化した半導体集積回路の一例を示す断面図である。グループ毎に異なるバックゲート電位を与えるために、2重ウェル構造を採用した。

【0014】すなわち、P型の半導体基板21の表面にN+型のソース・ドレイン領域22とゲート電極23を形成してN型MOSトランジスタT1～T4を形成し、基板21表面のN型のウェル領域24に重ねてP型ウェル領域25を形成してこれを電氣的に独立させ、該P型ウェル領域25の表面にN+型のソース・ドレイン領域22とゲート電極23とを形成してN型MOSトランジスタT5～T7を形成したものである。隣り合うトランジスタのソースとドレインは、1つのソース・ドレイン領域22を共通の領域として形成され、そして回路図に従いアルミ電極配線によって各トランジスタ間の電氣的接続が成されている。P型基板21にはN+領域26によって接地電位（GND）が印加されており、P型ウェル領域25にはN+領域27によって第1のグループ10と第2のグループ11との接続点12の電位が印加されている。これは、バックゲート電位とソース電位との逆バイアス条件を維持するためである。尚、P型ウェル領域25を電氣的に独立させるため、N型ウェル領域24にも前記接続点12の電位が印加されている。28は素子分離用のLOCOS酸化膜である。また、容量C1～C7はソース・ドレインを短絡して一方の電極としゲートを他方の電極としたMOS容量素子で構成した。

【0015】図1（B）に更に他の実施の形態を示した。図1（A）が各容量C1～C7にクロック信号CLK、*CLKを印加しているのに対し、この例ではリングオシレータ回路を用いたものである。すなわち、各容量C1～C7の間にインバータ40を接続し、NANDゲート41の出力を容量C7に接続し、容量C1をNANDゲート41の入力的一方に接続し、NANDゲート41の入力の他方にクロック信号CLKを印加したもの

である。インバータ40の個数を奇数にすることで自己発振させ、個々の単位昇圧回路に対して図3(B)の相補クロック信号と同様の信号を印加することができる。

【0016】このように、各グループ毎にバックゲートとなる領域を電氣的に分離することにより、各グループ毎に異なるバックゲートバイアスを与えることが可能になる。そして、最終段付近のトランジスタに対して接続点12の昇圧された電位をバックゲートバイアスとすることにより、第2のグループ11のN型MOSトランジスタT5～T7のバックゲート電位とソース電位との差($-V_{bs}$)を従来より小さくする事ができる。従って、第2のグループ11のトランジスタに生じるバックゲートバイアス効果を小さくでき、しきい値の変動量 ΔV_{th} を小さくできる。このことは、グループの数を3個、4個と増大することにより、極めて高い電位まで昇圧できることを意味する。また、最終出力段のトランジスタT7のバックゲートバイアス効果によるしきい値の変動量 ΔV_{th} を小さく抑えられるので、出力電圧 V_{out} として大電流を取り出すことが可能になる。更に、バックゲート電位とソース電位との電位差を拡大せずすむので、全トランジスタを同じ設計耐圧で製造することができる。

【0017】尚、グループの数を2つとして説明してきたが、求める出力電圧に応じてグループの数を増やしていけばよく、また1つのグループに内蔵するトランジスタ

の個数も任意である。更に、Nチャネル型に代えてPチャネル型のトランジスタで構成する事も可能である。

【0018】

【発明の効果】以上に説明したとおり、本発明によれば、昇圧した電位でバックゲートバイアスを与えることにより、バックゲートバイアス効果を抑制して、倍増率の大きなチャージポンプ回路を提供できる利点を有する。このとき、バックゲートに印加する電位(昇圧された電位)はほぼ任意に選択できるので、最終トランジスタに生じるバックゲートバイアス効果を抑制して、出力トランジスタとしての駆動能力を倍増できる。これにより、例えば電源電位 V_{dd} が2V程度しかないような低電源電圧LSIであっても、その内部で12～20Vもの高電圧を発生させることが可能になる。

【図面の簡単な説明】

【図1】本発明を説明するための回路図である。

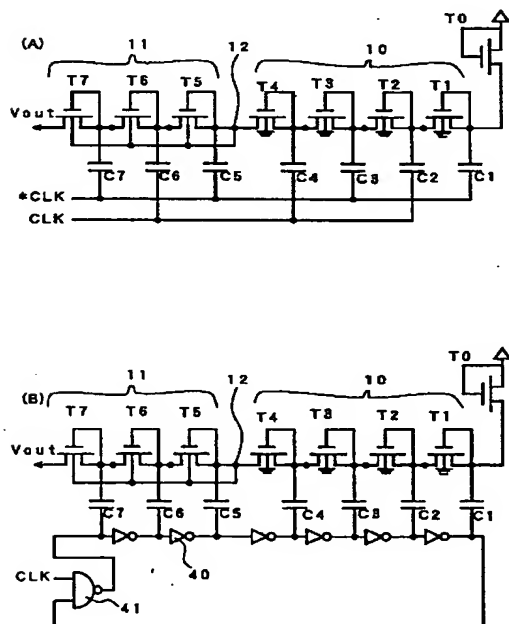
【図2】本発明を説明するための断面図である。

【図3】従来例を説明するための図である。

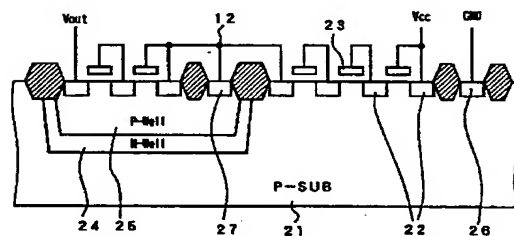
【符号の説明】

- T0～T7 N型MOSトランジスタ
- C1～C7 容量素子
- 10 第1のグループ
- 11 第2のグループ
- 12 接続点

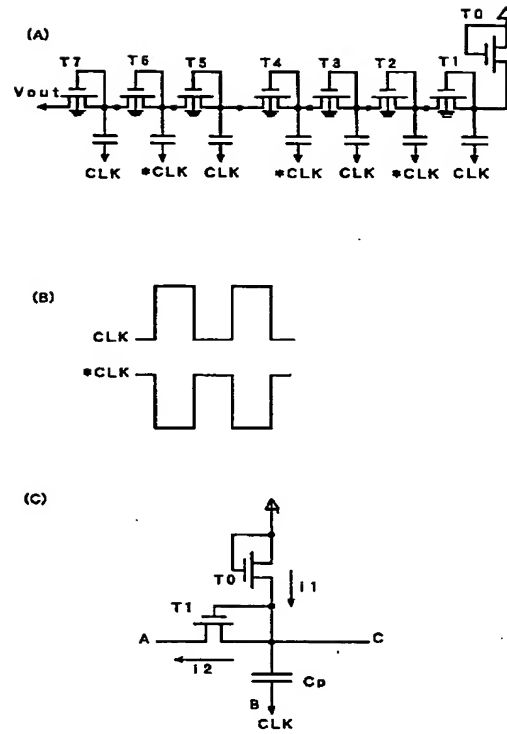
【図1】



【図2】



【図 3】



フロントページの続き

(51) Int. Cl.⁶
H01L 27/115
27/10

識別記号
481

FI
H01L 27/10

434